

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-233812

(43)Date of publication of application : 19.09.1989

(51)Int.Cl.

H03F 3/60

(21)Application number : 63-060131

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.03.1988

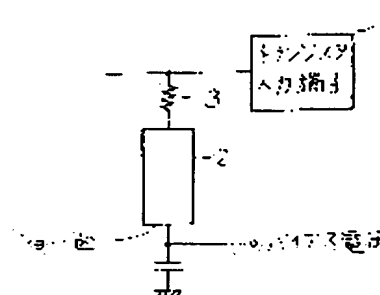
(72)Inventor : SHIGAKI MASAFUMI  
NAGATOMO KAZUO

## (54) MULTI-STAGE AMPLIFIER FOR MICROWAVE

## (57)Abstract:

PURPOSE: To reduce number of elements of an oscillation prevention circuit by supplying a bias voltage to an input terminal of a transistor (TR) and providing a function of preventing oscillation to a short-stub applying matching and inserting the oscillation preventing resistor to the opposite side of the short-circuit face.

CONSTITUTION: A function of preventing oscillation is provided to a short-stub 2 giving a bias voltage to the input terminal of the TR 1 and applying matching and the oscillation preventing resistor 3 is inserted to the opposite side of the short-circuit face. Since almost no current flows to the short-stub 2 supplying the bias voltage and applying matching, even when the oscillation preventing resistor 3 is inserted to the opposite side of the short-circuit face, no voltage drop exists and even when the constant is varied more or less to use the short-stub 2 with the oscillation preventing resistor 3 inserted thereto as the oscillation prevention, bias supply and matching, the characteristic is not affected by matching with a small change of the constant of other elements. Thus, the number of short-stubs and capacitors of the oscillation preventing circuit is reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

**THIS PAGE BLANK (USPTO)**

## ⑫ 公開特許公報(A) 平1-233812

⑤ Int.Cl.<sup>4</sup>

H 03 F 3/60

識別記号

庁内整理番号

6658-5J

⑬ 公開 平成1年(1989)9月19日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 マイクロ波用多段増幅回路

⑯ 特 願 昭63-60131

⑰ 出 願 昭63(1988)3月14日

⑱ 発 明 者 志 垣 雅 文 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 永 友 和 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 枿 貞一

## 明 細 書

## 1 発明の名称

マイクロ波用多段増幅回路

## 2 特許請求の範囲

少なくとも発振防止用抵抗及びショートスタブを持つ発振防止回路が必要なマイクロ波用多段増幅回路において、

トランジスタ(1)の入力端子にバイアス電圧を供給し且つ整合を行うショートスタブ(2)に発振防止用の機能を持たせ、且つ、ショート面の反対側に発振防止用抵抗(3)を挿入したことを特徴とするマイクロ波用多段増幅回路。

## 3 発明の詳細な説明

## (概 要)

少なくとも発振防止用抵抗及びショートスタブを持つ発振防止回路が必要なマイクロ波用多段増幅回路に関し、

発振防止回路の素子数を減ずることが出来るマ

イクロ波用多段増幅回路の供給を目的とし、

トランジスタの入力端子にバイアス電圧を供給し且つ整合を行うショートスタブに発振防止用の機能を持たせ、且つ、ショート面の反対側に発振防止用抵抗を挿入した構成とする。

## (産業上の利用分野)

本発明は、少なくとも発振防止用抵抗及びショートスタブを持つ発振防止回路が必要なマイクロ波用多段増幅回路の改良に関する。

マイクロ波用多段増幅回路としては、モノリシック形とハイブリッド形があり、又使用するトランジスタとしては、電界効果トランジスタ、バイポーラトランジスタがあるが、何れにしても、素子数を少なくし、モノリシック形では、チップ面積を小さく出来、ハイブリッド形では組立工数を減ずることが出来ることが望ましい。

## (従来技術)

以下従来例を図を用いて説明する。

第4図は従来例のマイクロ波用多段増幅回路の回路図である。

図中C1～C12はコンデンサで、内C4はチップ外に設ける外付けコンデンサ、R1～R5は抵抗で、内R1、R4は発振防止用抵抗、10～12、13'、14'、15～17、18'、19、20は分布定数回路を形成するライン、30、31、32はアドミッタンスを形成し一端がオープンとなっているオープンスタブ、40、41、42'、43'、44～46はアドミッタンスを形成し一端がコンデンサにて高周波的にショートされているショートスタブ、FET1～FET3は電界効果トランジスタ、V1はバイアス電圧供給用電源、V2はドレイン電圧供給用電源を示す。

第4図はKu帯(12GHz～18GHz)に使用する、電界効果トランジスタFET1～FET3を使用した多段増幅回路であり、バイアス電圧供給用電源V1より、抵抗R2、ショートスタブ40、ライン12を介して電界効果トランジスタ

路及び、抵抗R4(50Ω)、ショートスタブ46、コンデンサC12よりなる回路を夫々電界効果トランジスタFET1、FET2及びFET3のゲート側に設けている。

(発明が解決しようとする課題)

しかしながら、従来のマイクロ波用多段増幅回路では、抵抗R1(50Ω)、ショートスタブ41、コンデンサC2よりなる発振防止回路及び、抵抗R4(50Ω)、ショートスタブ46、コンデンサC12よりなる発振防止回路をその儘設けているので、モノリシック形では、チップ面積が大きくなり、ハイブリッド形では組立工数が増加する問題点がある。

本発明は、発振防止回路の素子数を減ずることが出来るマイクロ波用多段増幅回路の供給を目的としている。

(課題を解決するための手段)

第1図は本発明の原理ブロック図である。

(2)

タFET1のゲートにバイアス電圧を供給し、又バイアス電圧供給用電源V1より、抵抗R5、ショートスタブ43'、ライン14'及び18'を介して電界効果トランジスタFET2、FET3のゲートにバイアス電圧を供給している。

又ドレイン電圧供給用電源V2より、ショートスタブ42'、ライン13'を介して電界効果トランジスタFET1のドレインにドレイン電圧を供給し、又ドレイン電圧供給用電源V2より、ショートスタブ44、ライン15を介して電界効果トランジスタFET2のドレインにドレイン電圧を供給し、又ショートスタブ45、ライン19を介して電界効果トランジスタFET3のドレインにドレイン電圧を供給している。

又ライン、ショートスタブ、オープンスタブにて、Ku帯での利得特性を平坦にし且つインピーダンス整合を行うようにしている。

尚又、帯域の低周波側で発振を起こすことがある為、発振防止回路として、抵抗R1(50Ω)、ショートスタブ41、コンデンサC2よりなる回

路を少なくとも発振防止用抵抗及びショートスタブを持つ発振防止回路が必要なマイクロ波用多段増幅回路において、

第1図に示す如く、トランジスタ1の入力端子にバイアス電圧を供給し且つ整合を行うショートスタブ2に発振防止用の機能を持たせ、且つ、ショート面の反対側に発振防止用抵抗3を挿入するようにする。

(作用)

バイアス電圧を供給し且つ整合を行うショートスタブ2には電流が殆ど流れないので、このショート面の反対側に発振防止用抵抗3を挿入しても電圧降下はないので問題はなく、又発振防止用抵抗3を挿入したショートスタブ2を発振防止用及びバイアス供給及び整合用にする為に定数を多少変えても、他の素子の定数を多少変更して整合するようにすれば、特性には影響がない。

従って、発振防止回路のショートスタブ及びコンデンサを減ずることが出来、モノリシック形で

はチップの面積を小さく出来、ハイブリッド形では組立工数を減ずることが出来る。

#### (実施例)

以下本発明の1実施例に付き図に従って説明する。

第2図は本発明の実施例のマイクロ波用多段増幅回路の回路図、第3図は第2図のマイクロ波用多段増幅回路をモノリシック形にした場合のチップの平面図である。

第2図で第4図の場合と異なる点は、発振防止用抵抗R4を、ショートスタブ43のショート面の反対側に挿入し、ショートスタブ46及びコンデンサ12を減じ、又整合の為に、第4図のライン13'、14'、18'及びショートスタブ42'、43'の定数を多少変更し、ライン13、14、18及びショートスタブ42、43とした点である。

こうすることにより、チップ面積を小さくすることが出来る点を第3図で説明する。

分組立工数は減じ、又信頼性は向上する。

以上は、トランジスタは電界効果トランジスタの場合で説明したが、これはバイポーラトランジスタの場合であっても勿論本発明は適用出来る。

#### (発明の効果)

以上詳細に説明せる如く本発明によれば、発振防止回路の素子数を減ずることが出来、モノリシック形の場合はチップ面積を小さく出来ると共に信頼性を向上出来、ハイブリッド形の場合は、素子数が減じた分組立工数を減ずることが出来ると共に信頼性を向上出来る効果がある。

#### 4 図面の簡単な説明

第1図は本発明の原理ブロック図、  
第2図は本発明の実施例のマイクロ波用多段増幅回路の回路図、  
第3図は第2図のマイクロ波用多段増幅回路をモノリシック形にした場合のチップの平面図、  
第4図は従来例のマイクロ波用多段増幅回路の回

(3) 第3図は第2図のマイクロ波用多段増幅回路をモノリシック形にした場合のチップの平面図であり、従来例の回路の場合だと、コンデンサC5の近辺に、ショートスタブ46、コンデンサC12を設けねばならず、この第3図のチップの1.5mm×2.7mmの面積に入らなかったものが素子を減ずることにより入るようになった。

尚素子数が減じた分信頼性は向上する。

勿論ハイブリッド形の場合は、素子数が減じた分組立工数は減じ、又信頼性は向上する。

尚、発振防止用抵抗R1を、ショートスタブ40のショート面の反対側に挿入し、ショートスタブ41、コンデンサC2を減じ、ショートスタブ40を発振防止用及びバイアス供給及び整合用にする為に定数を多少変え、近辺のライン10、11、12及びオープンスタブ30の定数を多少変更し整合するようにしても勿論よい。

こうすれば、更に素子数は減じ、モノリシック形の場合はチップ面積は小さくなり、又信頼性は向上し、ハイブリッド形の場合は、素子数が減じた

路図である。

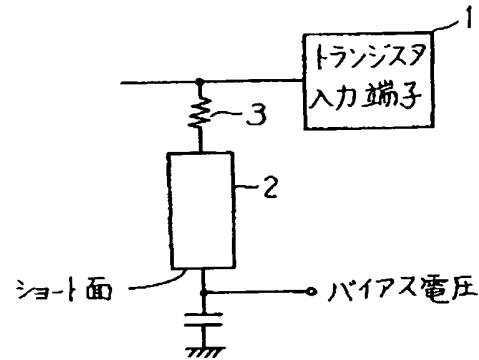
図において、

- 1はトランジスタ、
- 2、40、41～46、42'、43'はショートスタブ、
- 3、R1、R4は発振防止用抵抗、
- 10～20、13'、14'ライン、
- 30、31、32はオープンスタブ、
- C1～C12はコンデンサ、
- R2、R3、R5は抵抗、
- FET1～FET3は電界効果トランジスタ、
- V1はバイアス電圧供給用電源、
- V2はドレイン電圧供給用電源を示す。

代理人 弁理士 井 術 貞一

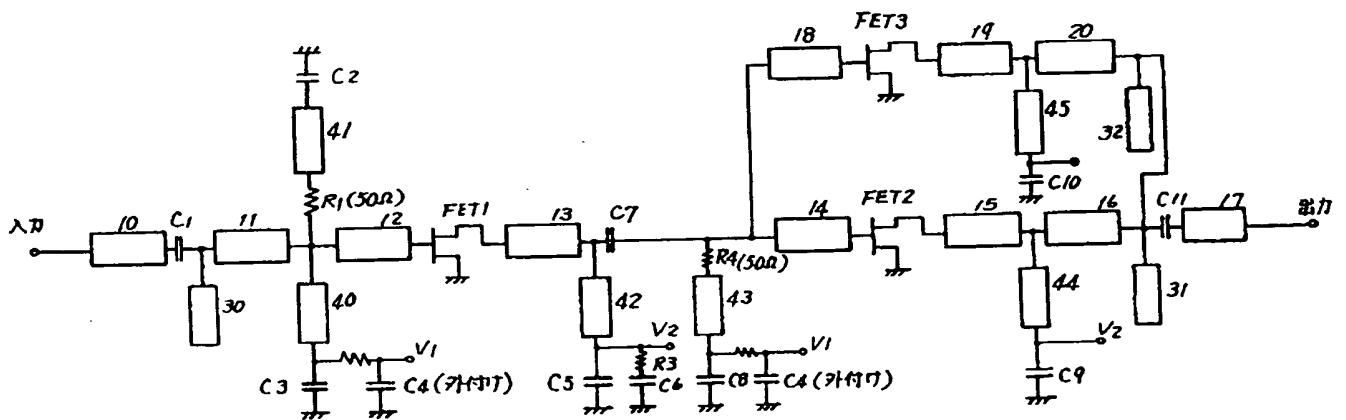


(4)



本発明の原理ブロック図

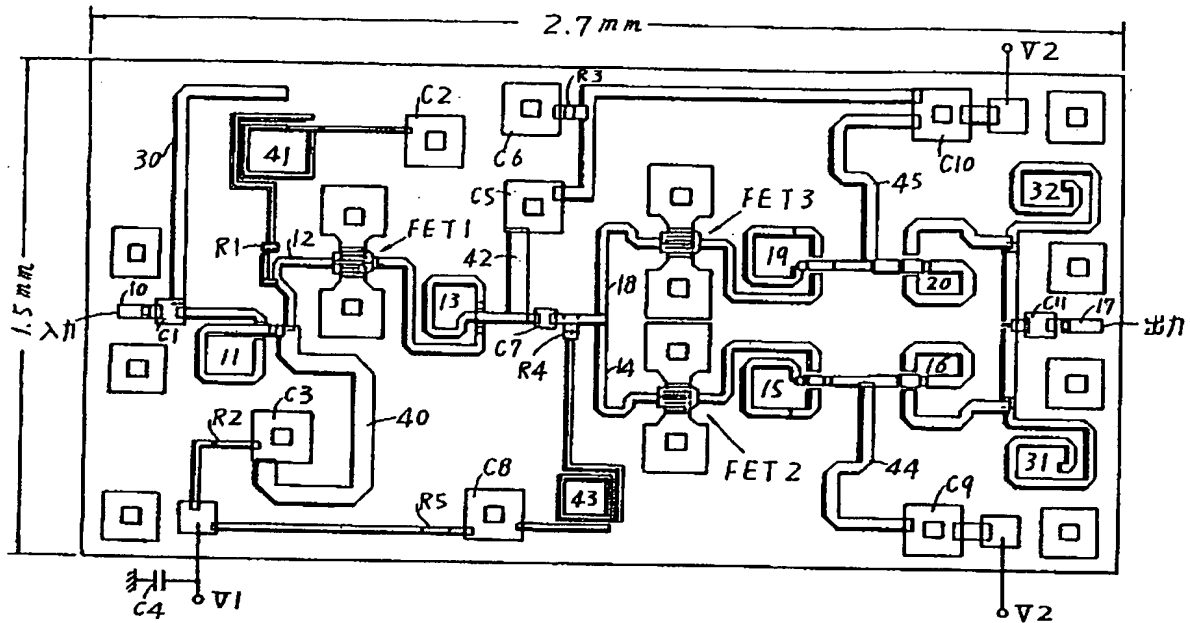
第 1 図



本発明の実施例のマイクロ波用多段増幅回路の回路図

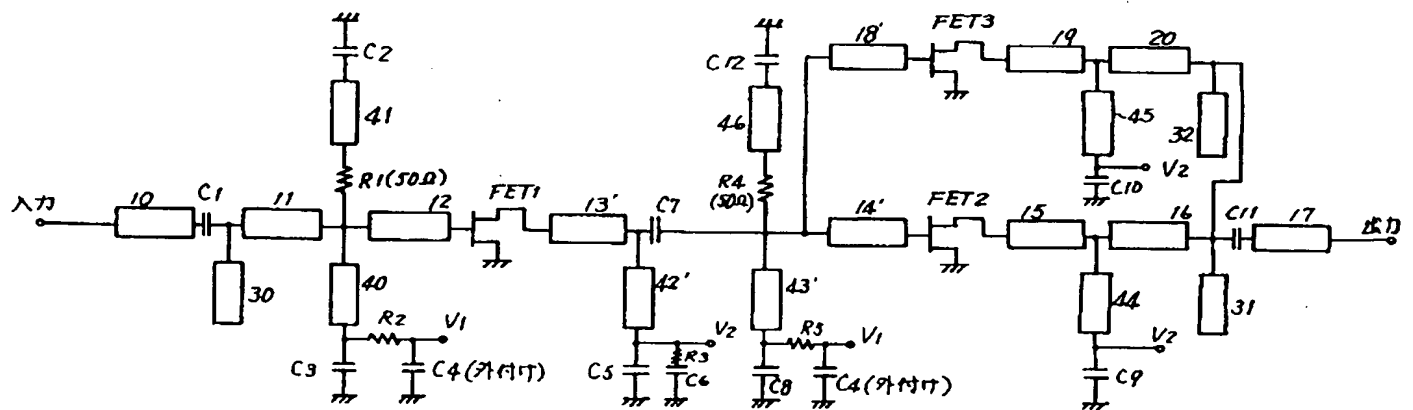
第 2 図

(5)



第2図のマイクロ波用多段増幅回路をモノリシック形にした場合のチップの平面図

第3図



従来例のマイクロ波用多段増幅回路の回路図

第4図

**THIS PAGE BLANK (USPTO)**